

Летняя международная XXXIII молодежная Школа-конференция по параллельному программированию

Реализация алгоритма умножения матриц с использованием FPGA и технологии MPI.

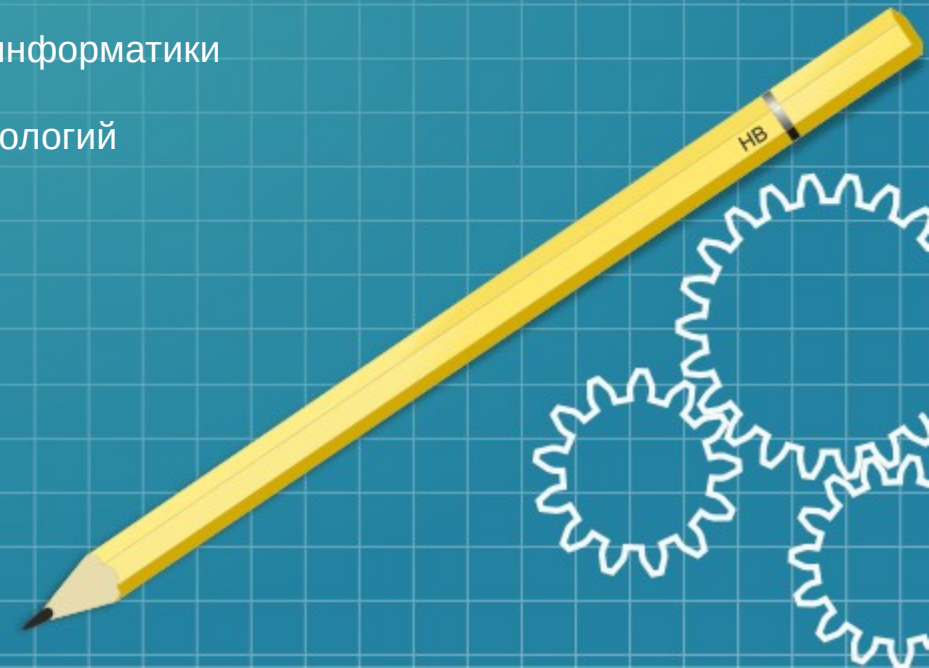
Исполнитель проекта: Муханбет Аксултан, 4 курс, кафедра информатики

факультета информационных технологий

КазНУ им. аль-Фараби

Руководитель проекта: Ахмед-Заки Д.Ж.

Дата доклада: 12.07.2019



План доклада



- Постановка задачи
- Задача №1
- Задача №2
- Задача №3
- Реализация
- Тестирование
- Заключение
-



Постановка задачи

- Задача №1

- Параллельная реализация умножения матриц. Сравнение результатов.

- Задача №2

- Реализация алгоритма умножения матриц с использованием FPGA

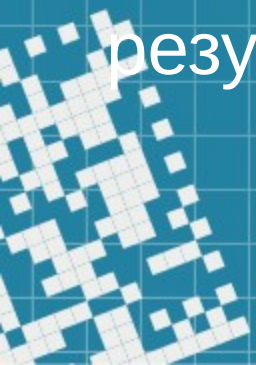
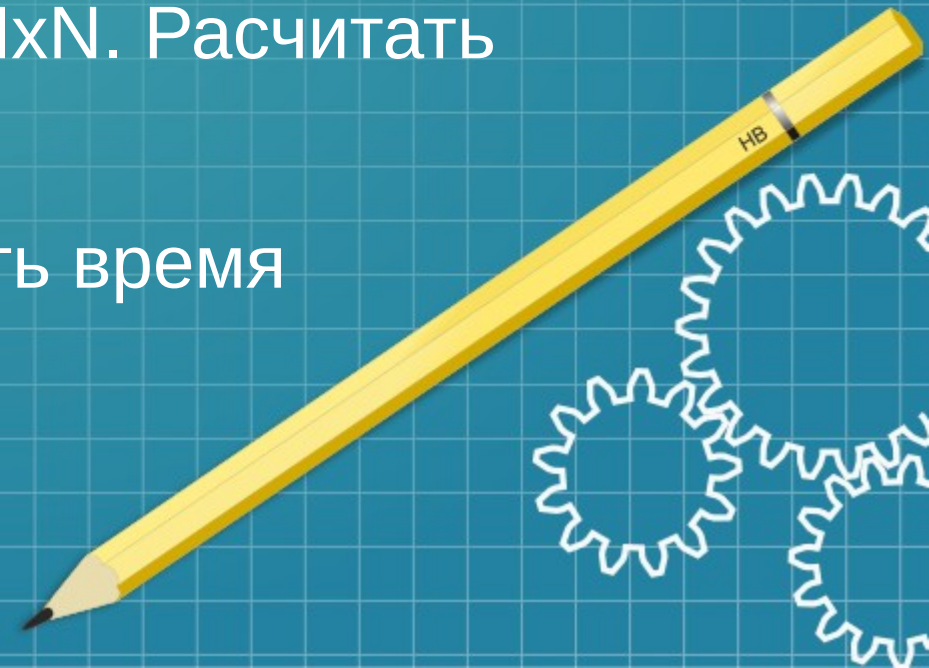
- Задача №3

- Сравнение результатов времени в FPGA и в MPI

Реализация

Распараллеливание алгоритма

- Использовать MPI для алгоритма
- Умножение в FPGA
- Сделать умножение матриц $N \times N$. Расчитать время.
- С помощью кластера расчитать время результатов и сравнить



Последовательный умножение матриц

Пусть даны две прямоугольные матрицы A и B размерности $l \times m$ и $m \times n$ соответственно:

$$A = \begin{bmatrix} a_{11} & a_{12} & \cdots & a_{1m} \\ a_{21} & a_{22} & \cdots & a_{2m} \\ \vdots & \vdots & \ddots & \vdots \\ a_{l1} & a_{l2} & \cdots & a_{lm} \end{bmatrix}, \quad B = \begin{bmatrix} b_{11} & b_{12} & \cdots & b_{1n} \\ b_{21} & b_{22} & \cdots & b_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ b_{m1} & b_{m2} & \cdots & b_{mn} \end{bmatrix}.$$

Тогда матрица C размерностью $l \times n$:

$$C = \begin{bmatrix} c_{11} & c_{12} & \cdots & c_{1n} \\ c_{21} & c_{22} & \cdots & c_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ c_{l1} & c_{l2} & \cdots & c_{ln} \end{bmatrix},$$

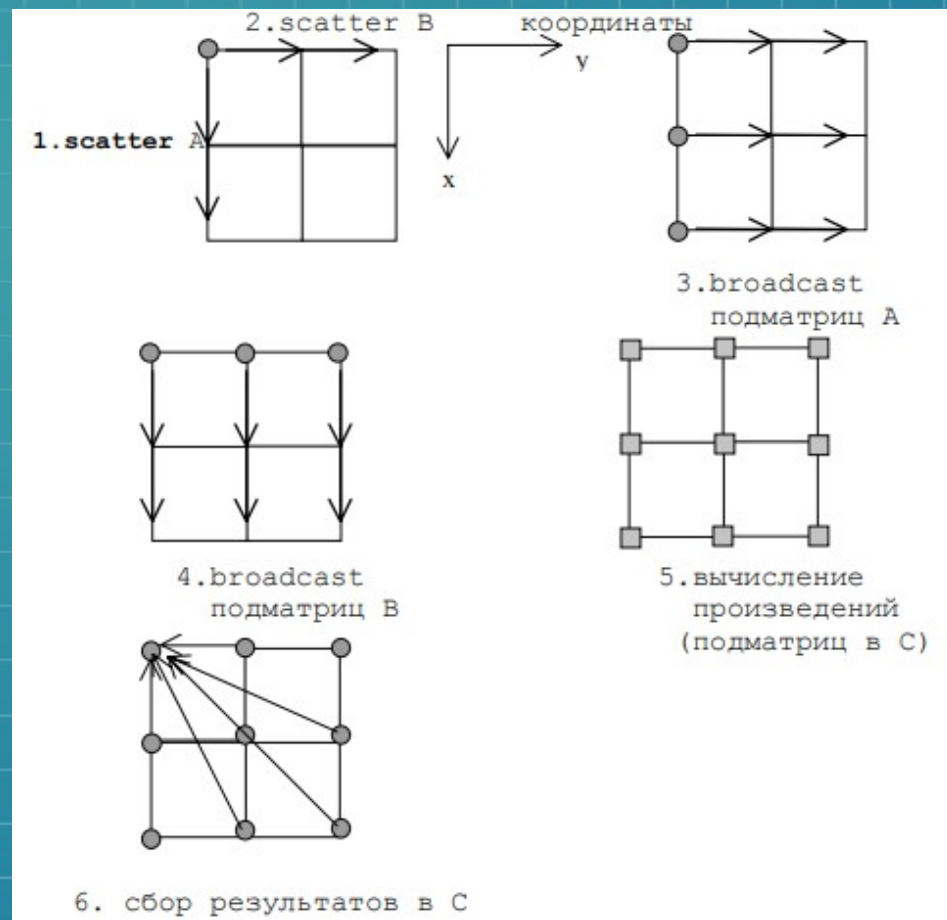
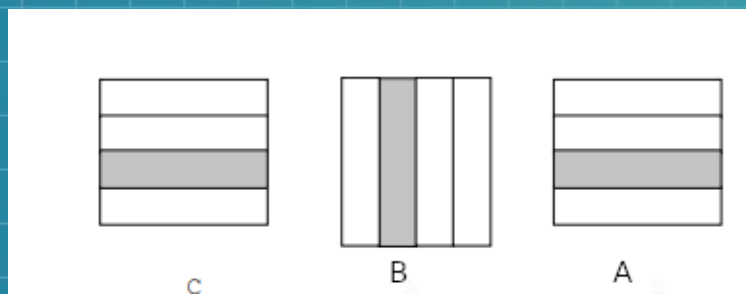
в которой:

$$c_{ij} = \sum_{r=1}^m a_{ir} b_{rj} \quad (i = 1, 2, \dots, l; j = 1, 2, \dots, n).$$

называется их *произведением*.

Алгоритм параллельного умножения

- Разделяем матрицу A по строкам, а матрицу B по столбцам. Производится сдвиг столбцов матрицы B по кольцу



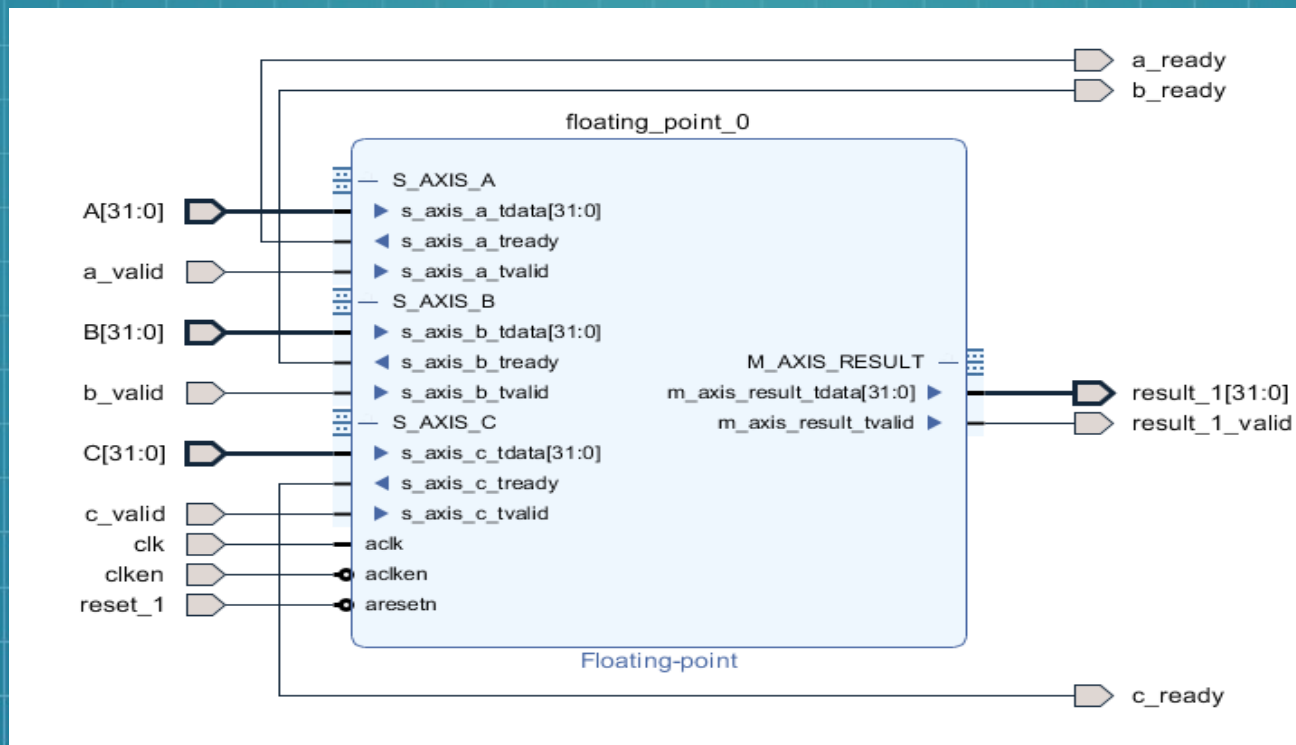
Результаты разных процессах

2 процесса	1,2314414	1,231053	1,23563	1,230532
4 процесса	0,6383211	0,630323	0,64081	0,632361
8 процесса	0,5302122	0,528645	0,53259	0,535523
16 процесса	0,2691944	0,216141	0,27489	0,268982

- 2
 - 4
 - 8
 - 16
- **49,7252**
 - 8,65128
 - 7,11552
 - 2,26552

Процесс умножения на FPGA

Для умножения матриц на FPGA, я использовал среду Vivado и язык программирования Verilog. Для умножения используем 1 DSP блок fused-multiply-add.



Настроим блок для работы

Задержка времени в блоке 17.

IP Symbol Implementation Details

Show disabled ports

Component Name floating_point_0

Operation Selection Precision of Inputs Optimizations **Interface Options**

Flow Control Options

Flow Control **Blocking** Optimize Goal **Resources**

RESULT channel has TREADY

Latency and Rate Configuration

Use Maximum Latency

Latency **17** [1 - 17]

Cycles/operation **1** [1 - 27]

Control Signals

ACLKEN ARESETn (active low)

ARESETn must be asserted for a minimum of two clock cycles

Optional Output Fields

UNDERFLOW OVERFLOW INVALID OP

DIVIDE BY ZERO ACCUM OVERFLOW ACCUM INPUT OVERFLOW

Channel	Has TLAST	Has TUSER	TUSER Width (Range: 1..256)
A	<input type="checkbox"/>	<input type="checkbox"/>	1
B	<input type="checkbox"/>	<input type="checkbox"/>	1
C	<input type="checkbox"/>	<input type="checkbox"/>	1

+ S_AXIS_A
+ S_AXIS_B
+ S_AXIS_C
M_AXIS_RESULT +
- ack
- acken
- aresetn

```
end
else begin
  if(t < 1048576) begin
    if(q % 1025 == 0) begin
      if((t != 0) & (t % 1024 == 0)) begin
        i <= t;
        h <= 1;
      end
      else begin
        i <= t - h;
        h <= h + 1;
      end
      j <= t % 1024;
      value <= result_1;
      value = result_1 - old_value;
      old_value <= result_1;
      Var1 <= 0;
      Var2 <= 0;
      Var3 <= 0;
      K[t-1] <= result_1;
      t <= t + 1;
    end
    else begin
      Var1 <= result_1;
      Var2 <= M[i];
      Var3 <= L[j];
      i <= i + 1;
      j <= j + 1024;
    end
    q <= q + 1;
  end
end
end
```



Симуляція результата



Расчет времени вычислений



Время вычисления одной цифры
результатирующей матрицы — 0,00017408с.

Общее время вычислений — 0,17825792с.

В матрице 2000x2000 – 0,721558806с.

Сравнение времени вычислений



Время в MPI

0,216141

Время в FPGA

0,17825792с.

Заключение

Вычисление матриц в FPGA более быстро работает чем в MPI.

Будущем планируем сделать вычисление дифференциальных уравнения и более сложные проекты в FPGA.

Спасибо всем

