**Вопросы к зачету по курсу «ЭВМ и периферийные устройства»**

1. Определение архитектуры и микроархитектуры компьютера. Архитектурные принципы компьютера фон Неймана.
2. Основные классы архитектур.
3. Традиционная архитектура фон Неймана. Основные архитектурные принципы построения компьютера (ЭВМ). Ограничения архитектуры фон Неймана.
4. Архитектурные усовершенствования компьютера.
5. Управляющие стратегии компьютеров.
6. Организация памяти (основные понятия: адрес, ячейка, слово, регистр, регистровый файл, команда, память).
7. Иерархия памяти. Требования к расположению уровней иерархии.
8. Типичная схема иерархии памяти.
9. Кэш-память. Принципы организации кэш-памяти. За счет чего получается выигрыш во времени?
10. Схема работы кэш-контроллера.
11. Сравнительный анализ алгоритмов отображения данных в кэш-память.
12. Алгоритмы согласования содержимого кэш-памяти и основной памяти.
13. Алгоритмы замещения строк кэш-памяти.
14. Эффективное программирование с учетом кэш-памяти.
15. Проблемы поддержания когерентности данных. Способы их решения.
16. Виртуальная память.
17. Способы управления виртуальной памятью. Их сравнение.
18. Способы преобразования виртуальных адресов в физические.
19. Рекомендации эффективного программирования с учетом организации памяти.
20. Сравнить цену промаха в кэш-памяти и в виртуальной памяти.
21. Способы оптимизации программ, используемые компиляторами.
22. Набор команд процессора, требования к набору команд.
23. Процессор, его состав и функционирование. Техника конвейеризации. Передача данных на конвейере. Увеличение производительности за счет конвейеризации.
24. Командный конвейер. Пример командного конвейера. Способы увеличения производительности конвейера. Причины приостановки конвейера и техника их преодоления.
25. Способы предсказания переходов. Виды динамических предсказателей переходов.
26. Классификация периферийных устройств, назначение и основные характеристики каждого вида периферийных устройств.
27. Виды шин в ЭВМ, их назначение и основные характеристики.
28. Организация взаимодействия нескольких устройств на шине. Разделение на ведущие и ведомые устройства. Механизм прерываний. Арбитраж шин и схемы арбитража.
29. Механизмы обработки прерываний в процессоре.
30. Процессор, его состав и функционирование. Причины остановки конвейера. Техника конвейеризации. Оценки сложности реализации конвейера.
31. Статический и динамический способы предсказания переходов.
32. Динамическое переименование регистров.
33. Организация параллельного выполнения команд в суперскалярных процессорах.
34. Структура суперскалярного процессора. Причины, ограничивающие производительность суперскаляров.
35. За счет чего в суперскалярном процессоре поддерживается корректное выполнение последовательной программы.
36. Функции регистрового окна в RISC-процессорах.
37. Пример микропроцессора. Структура, организация конвейера, подсистемы памяти. К какому классу принадлежит.
38. Основные характеристики CISC-архитектуры. Формирование концепции RISC-архитектуры.
39. Понятие регистрового окна.
40. Оптимизирующий компилятор в RISC-процессорах.
41. Сравнение CISC и RISC-архитектур.
42. Структура суперскалярного процессора. Причины, ограничивающие производительность суперскаляров, и средства их преодоления. Примеры микропроцессоров.
43. Структура VLIW процессоров. Причины, ограничивающие производительность процессоров VLIW, и средства их преодоления. Примеры микропроцессоров.
44. Общие черты у RISC-процессоров и VLIW-процессоров.
45. Сравнить способы реализации условного перехода в суперскалярах и VLIW-процессорах.
46. Средства повышения производительности в процессоре Itanium.
47. Общие и разные черты конвейеров процессоров Power4 и Itanium?
48. Способы поддержания когерентности данных в кэш-памяти.
49. Сравнить реализацию конвейера у VLIW процессоров и суперскалярных процессоров.
50. Программный способ конвейеризации циклов.
51. Общие черты у RISC-процессоров и VLIW-процессоров.